

0.8 μm バイポーラ-PMOS 融合型 BiCMOS G/A における動作周波数の有益性

井手端 智 子・多 田 昭 晴*

岡山理科大学大学院工学研究科修士課程電子工学専攻

*岡山理科大学工学部情報工学科

(1994年 9 月30日 受理)

1. はじめに

近年、システムの高性能化に伴い、ゲートアレイの分野においても高速な LSI の需要が高まってきている。中でも BiCMOS ゲートアレイはバイポーラ的高速、高駆動能力、及び CMOS の低消費電力、高集積密度といった両者の長所を併せ持つデバイスとして注目され、ここ数年来著しい進展を遂げている¹⁾²⁾³⁾。

基本回路に CMOS とバイポーラを組み合わせた SOG (Sea of Gate) の BiCMOS ゲートアレイは、高負荷駆動を必要とする適所に BiCMOS を組むことができるため、柔軟な回路設計ができ、効率的に LSI の高速化を図ることができる。また、低負荷の部分を CMOS で構成することによりバイポーラの短所である消費電力を小さく押さえることができる。しかし、反面バイポーラトランジスタとその分離の領域が必要となるため、CMOS ゲートアレイに比べより広いチップ面積が必要となり集積度は上がらない。

この対策としてバイポーラの一部を PMOS と融合させたバイポーラ-PMOS 融合型のベーシックセルが開発され、回路の集積度の大幅な向上を実現させた⁴⁾。この基本回路では PMOS と融合させたプルアップバイポーラ及びプルダウンのための分離バイポーラの二種類のバイポーラトランジスタを含む構成となっている。融合バイポーラは PMOS と領域を共通化し、分離領域及びトランジスタ面積を大幅に削減している。本論文ではこのバイポーラ-PMOS 融合型 BiCMOS の回路と CMOS 回路との最高動作速度の比較を行い、バイポーラ-PMOS 融合型 BiCMOS ゲートアレイの有益性を検討する。

2. BiCMOS の基本セル構造

2.1 バイポーラ-PMOS 融合構造

図 1 は BiCMOS 構成の 2 入力 NAND ゲートの代表的な回路である。この回路は二つのバイポーラトランジスタが含まれる。多くのゲートアレイの基本回路は、プルアップトランジスタ Q1 とプルダウントランジスタ Q2 に同じ型のトランジスタが用いられており、図 1 ではプルアップトランジスタ Q1 のコレクタは常に VCC に接続されている。従って、

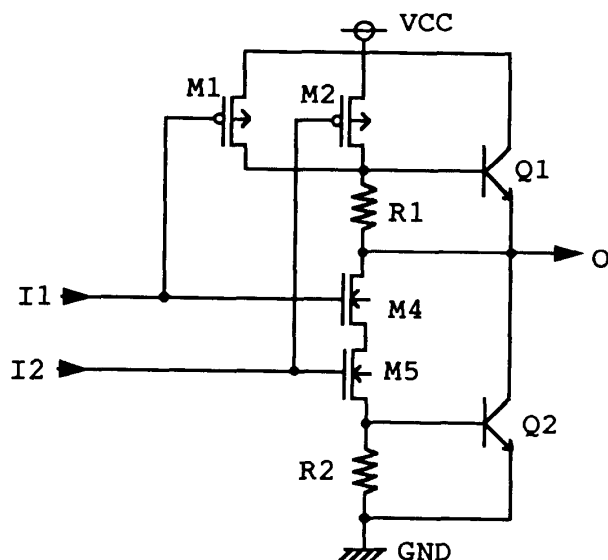


図1 BiCMOS 構成の代表的な NAND 回路

プルアップトランジスタはコレクタ間の分離領域を除去したコレクタ接地構成にすることができる。

さらに、プルアップトランジスタは次の二つの理由から PMOS トランジスタと融合させることができる。

- 1) Q1 のコレクタと PMOS トランジスタの基板は同じ拡散型で、両方が同じ VCC に接続されている。
- 2) Q1 のベースは M1, M2 のドレインに接続されている。

これらの接続はすべての BiCMOS 回路で使われているため、バイポーラトランジスタと PMOS トランジスタを融合することが可能となる。この融合により基本セルを小さくし、よりいっそうの BiCMOS の集積度の向上が得られる。

2.2 バイポーラ-PMOS 融合型構造の基本セル構造

図2はバイポーラ-PMOS 融合型の基本セルを示している。また、このセルの断面図を図3に示す。

この基本セルは 5×2 の PMOS, NMOS 及びプルアップトランジスタと一つのプルダウンバイポーラトランジスタで構成されている。プルアップ部は PMOS と融合され、バイポーラ及びその分離領域の面積を削減している。融合されたトランジスタは分離型のものとは比べてもトランジスタとしての性能は落としていない⁴⁾。また、バイポーラ-PMOS 部, NMOS 部を二重にしたこの構造では、バイポーラ-PMOS 部, NMOS が一組だけの構造に比べセルの配置配線に柔軟性を持たせることができる。これは特に、マクロセルを形成するのに有利である。プルダウン部は大きな駆動能力が必要となるためプルアップ部よりもサイズを大きくし、MOS と分離させている。比較のため、従来の BiCMOS 基本セルを図4に示す。従来の基本セルでは一組の MOS の両側に分離型のバイポーラを配置して

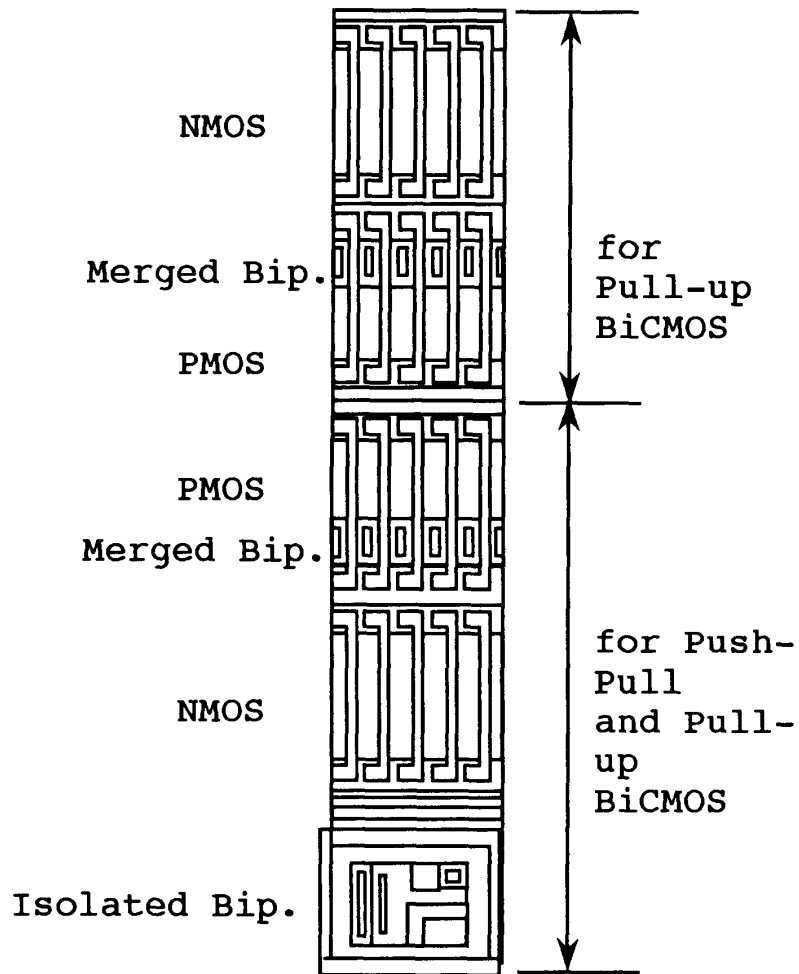


図2 バイポーラ-PMOS 融合型基本セル

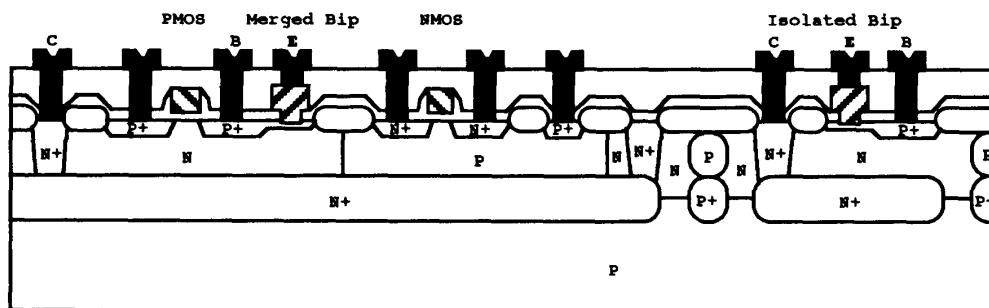


図3 基本セルの断面図

いる。この基本セルとバイポーラ-PMOS 融合型構造の基本セルの要素を表1と表2に示す。

3. 内部回路構成

バイポーラ-PMOS 融合型構造では、CMOS、BiCMOS 両方の回路を構成することができる。この基本セルで構成される2入力NANDゲートの回路図を図5に示す。(a)はCMOS

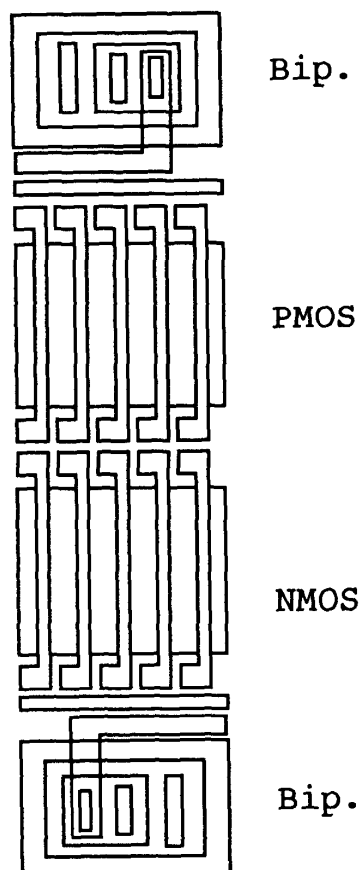


図4 従来の BiCMOS 基本セル

表1 バイポーラ-PMOS 融合型基本セル要素

	Elements	Area
PMOS	10	38 %
Merged Bipolar	10	9 %
NMOS	10	33 %
Isolated Bipolar	1	20 %
Resistor	1	
Total	32	100 %

Cell size = $16 \times 108 \mu\text{m}^2$

表2 従来の BiCMOS の基本セル要素

	Elements	Area
PMOS	5	33 %
NMOS	5	32 %
Isolated Bipolar	2	35 %
Resistor	2	
Total	14	100 %

Cell size = $20 \times 105 \mu\text{m}^2$

回路, (b)はプルアップ型 BiCMOS, (c)はプッシュプル型 BiCMOS である。これらの回路はユーザが用途に応じて使い分けることができる。

(a)の CMOS 回路はバイポーラを使わないタイプである。このタイプは駆動能力はあまりないが、セルサイズは最も小さい。

(b)のプルアップ型 BiCMOS は回路の出力部にプルアップバイポーラのみを用いている。このタイプの駆動能力はプッシュプル型より劣るが、ファンアウト即ち負荷容量の少ないところではプッシュプル型より速い。また、プルアップ型の BiCMOS はプルダウン型のバイポーラを使わないため、セルサイズが比較的小さくセル配置にも柔軟性が持たせられ

る。

(c)のプッシュプル型の BiCMOS は出力部にプルアップとプルダウントランジスタの両方が使われており、高負荷の駆動能力が高い。反面、負荷が小さいときは他の2タイプに比べ速度がかなり遅くなる。プルダウントランジスタを使うため、セルサイズもこのタイプが一番大きい。

(a) CMOS, (b)プルアップ型 BiCMOS, (c)プッシュプル型 BiCMOS による2入力 NAND 回路のファンアウトごとの遅延時間を図6に示す。ファンアウト1～2では CMOS 回路が一番遅延時間が小さく、ファンアウト2～5ではプルアップ型 BiCMOS 回路が、ファンアウト5以上ではプルダウン型 BiCMOS が一番遅延が小さく、高速である。

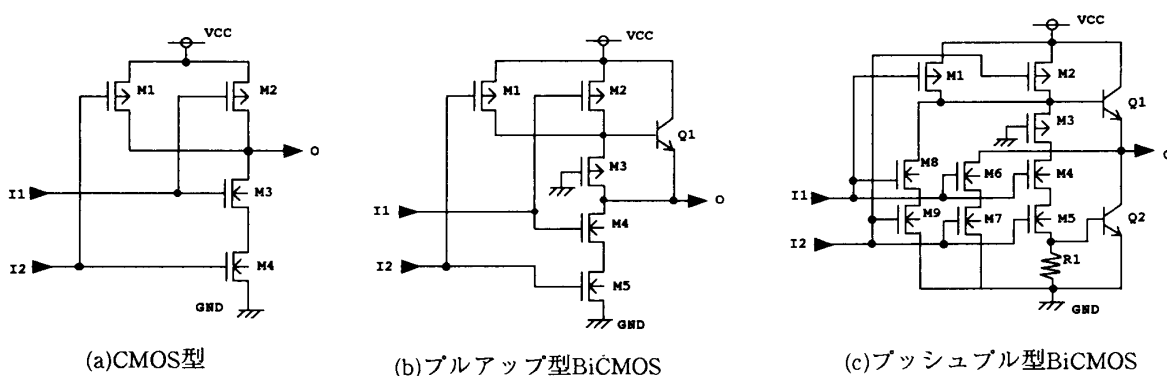


図5 CMOS, BiCMOS の2入力 NAND 回路

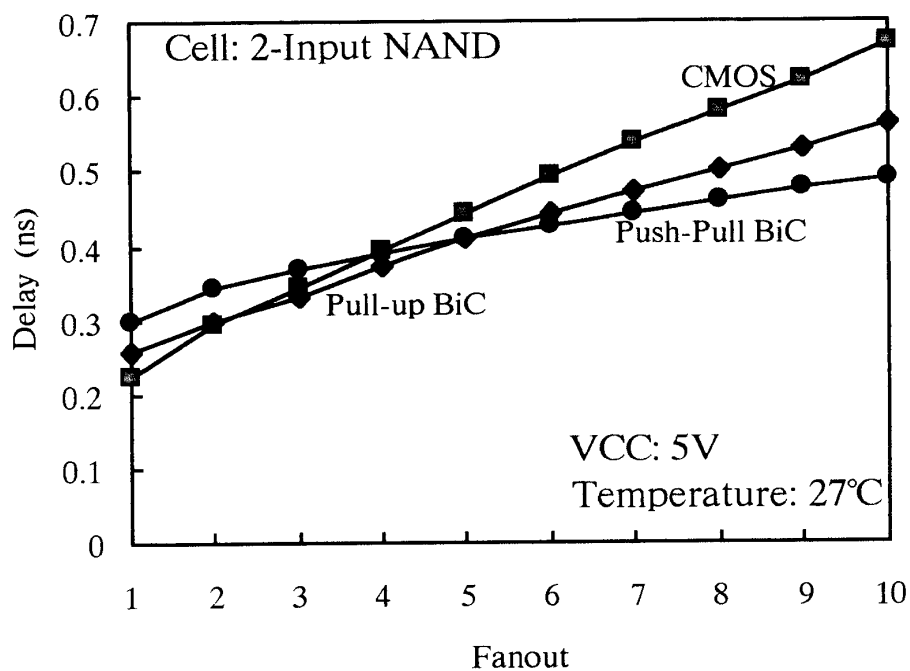


図6 ファンアウトとゲート遅延時間

4. 回路の最高動作周波数

LSI システムを設計するにあたって、システムの遅延は重要な要素の一つである。遅延時間の短縮はすなわちシステムの動作周波数の向上となるので、高速なシステムを設計しようとするならば CMOS 型や BiCMOS 型のマクロセルの遅延時間を考慮し、より速いマクロセルを置けばよいということになる。今回の研究では、 $0.8\mu\text{m}$ バイポーラ-PMOS 融合型 BiCMOS ゲートアレイで開発された広帯域 ISDN 用 LSI 回路の一部を取り上げ、BiCMOS と CMOS 回路ではどの程度最高動作周波数に差があるのかを検証する。

4.1 測定回路

今回測定する回路は、広帯域 ISDN 用 LSI 回路⁵⁾の一部であるシリアル-パラレル変換回路 (S/P 回路)、パラレル-シリアル変換回路 (P/S 回路) の二つである。この BiCMOS LSI の主な特徴を表 3 に示す。

それぞれの回路の規模は約 2.7k ゲート、約 1.4k ゲートである。S/P 回路は 156 Mbps の 64 bit 並列信号を 2 bit S/P シフトレジスタによりシフトし、78Mクロックでラッチして 64:128 に直列/並列変換し、78 Mbps の 128 bit 並列信号に変換する。P/S 回路は 78 Mbps の 128 bit 並列信号を 2 bit P/S シフトレジスタによりシフトし、150Mクロックでラッチして 128:64 並列/直列変換し、156 Mbps の 64 bit 並列信号に変換する。

この二つの回路は BiCMOS 型と CMOS 型を組み合わせた形で構成されている。これを BiCMOS 回路として、さらに回路内で用いられている BiCMOS 型のマクロセルをすべて等価の CMOS 型に置き換えて CMOS 回路を設計する。これで得られた BiCMOS 回路、CMOS 回路の 2 種類で最高動作速度を測定する。

4.2 測定内容

回路の最高動作速度はコンピュータシミュレーションで計測を行う。ツールとして、パスディレイ解析手法を用いた同期設計回路用静的タイミング解析ツール TACS 4 を用いる。回路の動作判定はクロック入力から測定周波数のクロックを加えたとして、回路のクリティカルパルスに対して規定のセットアップタイム、ホールドタイム等を満たしているかで判定する。回路内部の負荷容量は実際の LSI で測定した負荷容量を適用した。これにより実際の LSI により近い結果が得られると予想される。

表 3 BiCMOS LSI の主要諸元

使用プロセス	P-ウェル分離型 $0.8\mu\text{m}$ BiCMOS 3層配線プロセス
チップ構成	内部: バイポーラ-PMOS 融合型 BiCMOS 基本セル 周辺: BiCMOS
基本セル	$16 \times 108\mu\text{m}$
電源電圧	$+5.0\text{ V} \pm 10\%$ / $-5.2\text{ V} \pm 5\%$
インターフェースレベル	TTL/CMOS/ECL(10KH)
使用パッケージ	319ピンセラミック PGA

4.3 測定結果

BiCMOS 回路, CMOS 回路それぞれについて S/P 回路, P/S 回路の最高動作速度周波数を表 4 に示す。P/S 回路では BiCMOS 回路が CMOS 回路に比べ約 20 MHz 高速であることが示されているが, S/P 回路では動作周波数は同じで, BiCMOS 回路の優位性は見られない。

4.4 BiCMOS 回路の改良

上の測定で BiCMOS 回路の優位性がはっきりと現われていないため, BiCMOS 回路の動作速度をさらに向上させるために, いくつかのマクロセルを変更した。この変更は 3 ヶ所の CMOS 型はより高速な CMOS 型に, 1 ヶ所の BiCMOS 型をより高速な BiCMOS 型に置き換え, 1 ヶ所を CMOS 型から BiCMOS 型に置き換えたものである。これは論理回路レベルのシステムとしては同じものである。

この回路について 4.2 と同様の測定を行い, 最高動作周波数を求めた。

4.5 測定結果

BiCMOS 回路 (改良) と CMOS 回路の最高動作周波数を表 5 に示す。BiCMOS 回路 (改良) は元の BiCMOS 回路に比べ, S/P 回路では約 20 MHz, P/S 回路では約 40 MHz 最高動作周波数が向上し, CMOS 回路との差がはっきり現われている。

5. 考 察

表 4, 表 5 に示された 3 つの回路についての最高動作周波数は, BiCMOS 回路では CMOS 回路に比べ P/S 回路で 21 MHz 速く, BiCMOS 回路 (改良) では S/P 回路で 22 MHz, P/S 回路で 65 MHz 速くなっていることが分かる。

S/P 回路で動作周波数の差があまり見られないのは論理回路構成によるものである。S/P 回路では P/S 回路に比べファンアウトの大きいところが少ないため, BiCMOS 回路の高負荷での駆動性がでてこなかったものと思われる。S/P 回路内での最大ファンアウトは 8, P/S 回路内の最大ファンアウトは 16 であるが, 大半はファンアウト 1 ~ 2 であるため, BiCMOS 構成にしてもそれほど優位性は見られないことになる。

CMOS から BiCMOS に変更したのはデータのラッチなどに用いられる Flip-Flop で, 回路を構成するシフトレジスタはすべてこの Flip-Flop で構成されている。この Flip-Flop のプルアップ型 BiCMOS は, CMOS 型に比べ, ファンアウト 1 で 13 ps, ファンアウト 2 で 80 ps 程度立ち上がりが速い。S/P 回路, P/S 回路とも基本的に Flip-Flop が段にな

表 4 測定結果

構 成	S/P 回路	P/S 回路
BiCMOS	139 MHz	103 MHz
CMOS	139 MHz	82 MHz

表 5 測定結果

構 成	S/P 回路	P/S 回路
BiCMOS (改良型)	161 MHz	147 MHz
CMOS	139 MHz	82 MHz

った構成であるので、Flip-Flop の速度差の累加が BiCMOS 回路の最高動作周波数の向上をもたらしているといえる。

6. ま と め

0.8 μm バイポーラ-PMOS 融合型 BiCMOS ゲートアレイで BiCMOS 回路と CMOS 回路の最高動作周波数による比較を行い、BiCMOS 回路の有益性が確認できた。

しかし、改良前の BiCMOS 回路に見られるように BiCMON 回路がすべて CMOS 回路より速いということではない。高速な回路を構成するときは負荷容量を踏まえたマクロセルの最適な選択が必要である。

謝 辞

本研究を遂行するにあたって、御協力くださいました三菱電機(株) SL 研・川端英雄氏、北尾雅哉氏、埴渕昌弘氏に深く感謝いたします。

参 考 文 献

- 1) A. Denda et al.: A 270 ps/24,000 gate BiCMOS gate array, Proc. IEEE Custom Integrated Circuits Conf., 1989, pp. 8.4.1—8.4.4.
- 2) F. Murabayashi et al.: A 0.5 μm BiCMOS channelless gate array, Proc IEEE Custom Integrated Circuits Conf., 1989, pp. 8.7.1—8.7.4.
- 3) J. D. Gallia et al.: High-performance BiCMOS 100 K-gate array, IEEE J. Solid-State Circuits, vol. **25**, pp. 142—149, Feb. 1990.
- 4) T. Hanibuchi et al.: A Bipolar-PMOS Merged BAsic Cell for 0.8 μm BiCMOS Sea of Gates, IEEE J. Solid-State Circuits, vol **26**, pp. 427—431, Mar. 1991.
- 5) 植田, 埴渕, 東谷, 川畑, 飛田: 広帯域 ISDN 対応 BiCMOS LSI, 三菱電機技報, vol. **67**, No. 3, pp. 46—49, 1993.

A Benefit of operating frequency for 0.8 μm BiCMOS G/A used Bipolar-PMOS merged Basic cells

Tomoko IDEBATA and Akiharu TADA*

Graduate School of Electric Engineering,

**Department of Information & Computer Engineering,*

Okayama University of Science,

Ridai-cho 1-1, Okayama 700, Japan

(Received September 30, 1994)

A 0.8 μm BiCMOS Gate Array used bipolar-PMOS merged structure basic cell was developed, so circuit density became much higher. In the basic cell, a merged bipolar is small and shared a PMOS. So the cell is reduced bipolar transistor and its isolated area.

The basic cell can construct three type macrocells, CMOS, pull-up BiCMOS and push-pull BiCMOS. The fastest circuit is determined from the three types by the load capacitance. Therefore, circuit selection a high-speed system can be constructed using a proper circuit selection.

This paper describes results of measure highest operating frequency about CMOS and BiCMOS circuit that is a part of Broadband-ISDN interface processing LSI.